Cortesia: Marcucci

Il convertitore ad approssimazioni successive

Abbiamo visto il funzionamento del DAC a resistenze pesate, nonché i suoi pregi e i suoi difetti. È possibile ottenere un DAC dai resistori uguali mantenendo le stesse prestazioni del DAC visto precedentemente?

a cura di Flavio Criseo - 2ª e ultima parte

Dal punto di vista costruttivo, il DAC a resistenze pesate presenta l'inconveniente di richiedere resistori con valori differenti fra loro.

Il problema di avere a disposizione resistori precisi ma, allo stesso tempo, con valori differenti fra loro, non è un problema semplice da risolvere, anche perchè siamo obbligati ad accontentarci dei componenti a valore standard presenti in commercio.

Per la stabilità della V_{ref} il problema è più semplice da risolvere: basta impiegare uno stabilizzatore di tensione con basso coefficiente termico (ad esempio un LM336 costruito dalla National).

Anche la scelta dell'Op-Amp può essere semplice, ad esempio possono essere impiegati degli LM308, degli LF351, oppure degli LM358 (costruiti da National o da ST).

Per risolvere il problema dei resistori è indispensabile impiegare un altro tipo di circuito DAC che, anche se funziona con la stessa logica del DAC a resistenze pesate, utilizza resistori dello stesso valore.

L'uso di resistori tutti uguali ci consente di avere una rete resistiva molto precisa e anche reperibile in forma integrata (spesso la si trova dentro un *case* "a pettine", oppure Dual Line come un normale IC).

Il DAC R-2R

Nella **Fig. 6a** è visualizzato un DAC molto simile al precedente.

Il problema dei valori differenti fra il primo resistore R_{n-1} e R_0 è risolto con una rete chiamata R-2R. La figura mostra come sia possibile costruire un DAC utilizzando solamente dei resistori aventi due soli valori numerici (un resistore ha infatti un valore doppio rispetto all'altro).

Il guadagno dell'Op-Amp è garantito dalla presenza della R_F e della R_L, mentre le maglie elettriche che compongono la rete R-2R servono per ottenere la tensione analogica corrispondente alla parola digitale che arriva in ingresso.

La tensione V_0 in uscita all'Op-Amp è uguale a:

$$\textbf{O)} \qquad V_0 = -\frac{V_{eq}}{(R_L + R)} R_f$$

Quando il numero digitale composto da "n" bit arriva ai singoli commutatori elettronici, questi si chiudono in due modi possibili: verso massa, oppure verso la V_{ref}.

È evidente che per una qualsiasi parola digitale avremo dei bit settati a 1 e degli altri settati a 0.

La tensione presente all'ingresso del resistore R_L sarà una frazione della V_{ref} perchè dipenderà (così come dipendeva per il DAC visto precedentemente) da quanti resistori saranno connessi alla V_{ref} e da quanti saranno connessi a massa.

All'uscita di ogni ramo R-2R avremo una tensione equivalente chiamata V_{eq} (si veda la formula O) che sarà un sottomultiplo in base due della V_{ref} raffigurata in figura.

Come si può vedere nella **Fig. 6b**, a seconda se i bit hanno valore 1 oppure 0, i singoli nodi della rete R-2R ci permettono di avere delle frazioni della tensione di fondoscala V_{ref}.

Guardiamo adesso la **Fig. 7a** e vediamo cosa succede se il nostro DAC fosse formato da tre bit (come nel DAC precedente).

Innanzitutto è bene notare che rispetto al DAC a resistenze pesate è presente un resistore R_L; è altresì importante notare che tutti i resistori connessi ai singoli commutatori hanno come valore una resistenza 2R, mentre tutti gli altri hanno un valore pari a R. L'ultimo resistore connesso a massa ha invece un valore pari a 2R.

Data la forte uguaglianza fra tutti i resistori, le correnti saranno tutte ben bilanciate (in particolar modo rispetto al DAC precedente); questo ci permetterà di poter ottenere una messa a punto più semplice in tutto il dispositivo.

Ammettiamo che i bit di ingresso siano $B_0 = 0$, $B_1 = 0$, $B_2 = 0$, $B_3 = 1$, questo significa che i commutatori B_0, B_1 e B_2 chiudono il circuito verso massa, mentre il bit B_3 chiude il commutatore sulla V_{ref}.

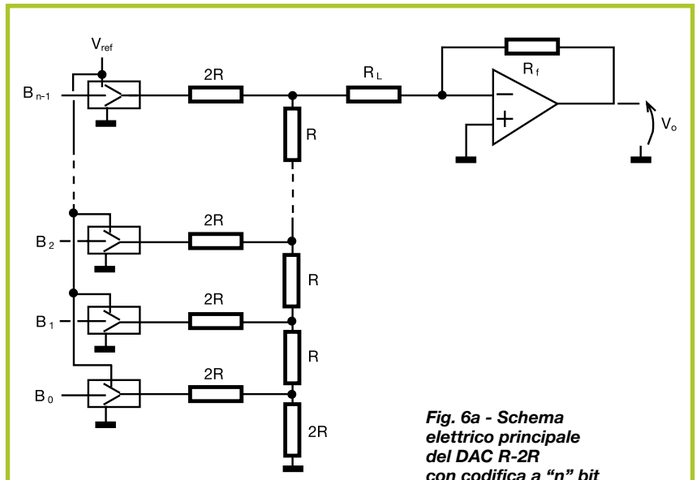

Fig. 6a - Schema elettrico principale del DAC R-2R con codifica a "n" bit

Le due resistenze uguali 2R e 2R, rispettivamente connesse al commutatore comandato da B_0 e sul ramo verso massa, sono in parallelo. Il loro valore complessivo sarà R (a tale proposito si veda bene la **Fig. 7b**).

Nella figura, rappresentata solamente da tre bit digitali per semplicità grafica, è visibile come il resistore R citato prima (vedi cerchio in rosso) sia a sua volta in serie rispetto a un altro resistore R; questo ci porta ad avere ancora un altro resistore sempre con valore 2R.

Nota: Si ricorda che quando due resistori di valore uguale sono connessi in parallelo sono equivalenti a un unico resistore avente valore pari alla metà di uno dei due.

Quest'ultimo resistore equivalente è a sua volta in parallelo a un altro resistore di valore 2R perché il bit B_1 ha valore logico 0.

Questo ci porta ad avere un altro resistore complessivo con valore R che però è in serie alla resistenza R (vedi cerchio in verde).

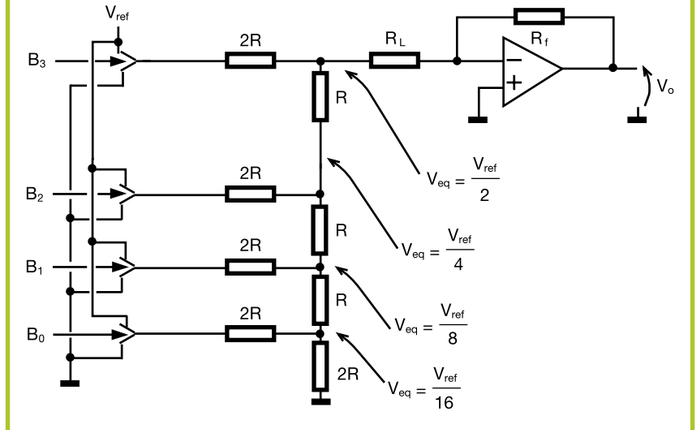

Fig. 6b - Livelli di tensione per un circuito DAC a 4 bit di codifica

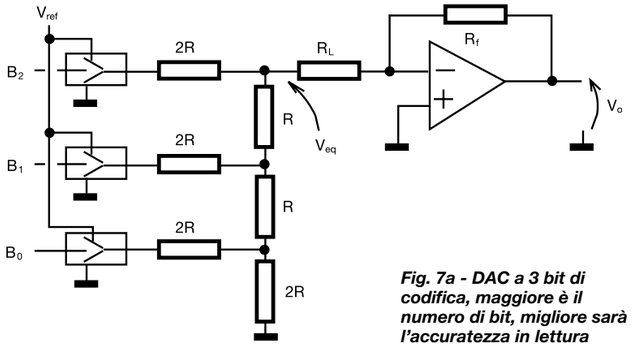

Fig. 7a - DAC a 3 bit di codifica, maggiore è il numero di bit, migliore sarà l'accuratezza in lettura

Alla fine avremo una tensione V_{ref} connessa a massa attraverso la serie di due resistori aventi lo stesso valore numerico 2R.

La V_{eq} sarà quindi data dalla regola del partitore resistivo fra due resistori uguali, pertanto avremo:

$$V_{eq} = \frac{V_{ref}}{2}$$

si veda sempre la Fig. 7b.

La tensione suddetta è presente all'ingresso della R_L, lo stadio Op-Amp diverrà quindi il circuito raffigurato in **Fig. 7c**. Come si può notare, il partitore dato dalle due resistenze 2R è equivalente a un singolo resistore R che, a sua volta, è in serie alla R_L. La funzione di trasferimento relativa alla V_0 sarà:

$$V_0 = -\frac{R_f}{2 \cdot (R_L + R)} V_{ref}$$

dove al posto della V_{eq} abbiamo sostituito quanto visto nella formula precedente.

Lo stesso discorso vale per tutti gli altri casi in cui i bit della tensione digitale siano differenti da quello appena visto nell'esempio.

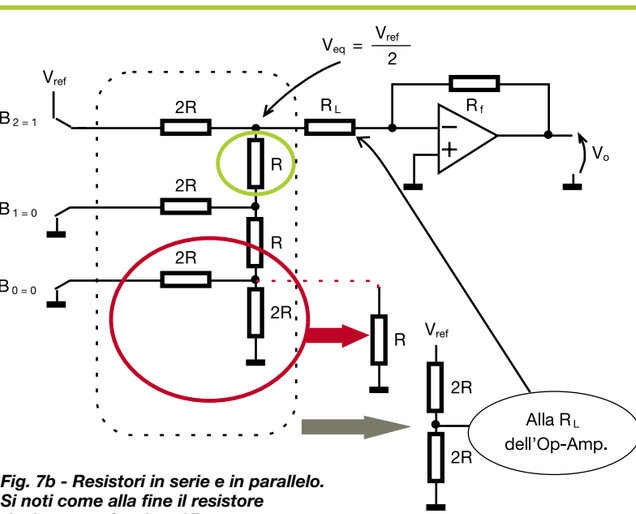

Fig. 7b - Resistori in serie e in parallelo. Si noti come alla fine il resistore risultante avrà valore 2R

Pregi e difetti

Abbiamo resistori uguali fra loro e questo ci consente di ottenere correnti simili.

Per avere la maggiore linearità possibile si prende un guadagno in tensione Av piccolo e si aumentano il numero di bit sulla parola digitale.

In generale, la R è dell'ordine di qualche kΩ in modo da avere piccole correnti (questo ci consente di non sovraccaricare troppo la tensione V_{ref} che deve essere stabile così come per il DAC a resistenze pesate). La risoluzione può essere compresa fra 8 e 18 bit.

La velocità è decisa dall'Op-Amp e dai commutatori digitali in ingresso.

Il convertitore ad approssimazioni successive

Abbiamo visto come possono essere composti e come funzionano due importanti DAC.

Vediamo ora lo schema di **Fig. 8**: il convertitore è composto da un controller principale, da uno stadio S/H, da un circuito differenziale e da un circuito DAC.

È presente anche un altro stadio denominato "registro a n-bit" che, com'è stato spiegato nella Fig. 2 (vedi Il Cinescopio 12/2003 pag. 64), serve a evitare che i bit d'ingresso al DAC possano cambiare durante la fase di lettura.

Se ammettiamo che il circuito DAC sia composto da un DAC del tipo R-2R, sappiamo immediatamente come può comportarsi quasi tutto il convertitore in questione; ma vediamone meglio i dettagli.

Caratteristiche principali

Nei convertitori visti nei numeri precedenti, abbiamo notato che la lettura della tensione si riduceva sempre a un conteggio di impulsi digitali che, inviati a uno stadio display, visualizzavano la tensione media.

1. In questo convertitore non si effettua un conteggio degli impulsi;
2. è molto più veloce del convertitore a doppia rampa e del convertitore tensione/frequenza;
3. lo stadio S/H (Sample & Hold) mantiene in uscita il livello campionato per tutto il tempo necessario alla conversione (come sono fatti gli stadi Sample & Hold sarà oggetto di trattazioni successive);
4. la tensione in ingresso Vi è amplificata;
5. il controller principale impartisce al circuito S/H il comando di fine/inizio campionamento/nuova lettura.

I cicli macchina (ovvero i cicli di clock necessari affinché il numero digitale B_{n-1}……B_0 sia correttamente composto e inviato al registro di ingresso del DAC) sono tanti quanti sono i bit che richiede il DAC stesso.

Se ci riferissimo per esempio al DAC R-2R a 3 bit esaminato precedentemente, i bit di ingresso che il DAC in Fig. 8 dovrà ricevere sarebbero tre; avremo bisogno di tre cicli di clock per comporre la parola digitale necessaria.

Va da sé che, se la risoluzione del convertitore ad approssimazioni successive è composta da 8 bit oppure da 12 bit, per poter avere la parola corretta all'ingresso del DAC R-2R saranno necessari 8 oppure 12 cicli di clock.

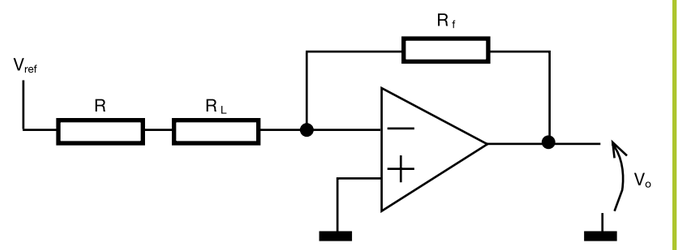

Fig. 7c - Ecco come si riduce il circuito in questione durante la configurazione binaria descritta nel testo

Se consideriamo che la velocità di questo convertitore può essere dell'ordine di qualche centinaio di kHz, si intuisce come questo strumento possa essere preciso (risoluzione pari a 12 bit per esempio) e, nel contempo, veloce nella lettura della V_i.

Facciamo un esempio: avendo a disposizione 8 bit di risoluzione e una frequenza di clock pari a 100 kHz, la nostra V_i sarà letta e campionata ben 12500 volte ogni secondo.

Guardando la Fig. 8, notiamo delle uguaglianze rispetto al DAC R-2R di Fig. 6a.

La tensione "E" visibile in Fig. 8 è la tensione Vref della Fig. 6a, mentre la V_u è la V_o. I bit B_0, B_1, B_2…… B_{n-1} della Fig. 6a sono gli stessi raffigurati nella Fig. 8 che, però, mostra anche il registro in ingresso.

Il bit B_{n-1} è detto "bit di maggior peso"; il controller comincerà a comporre la parola digitale settando i singoli bit nelle rispettive posizioni B_0, B_1, B_2… e comincerà proprio dal bit B_{n-1} per poi proseguire con tutti gli altri fino ad arrivare al B_0.

L'amplificatore Op-Amp di Fig. 8 non è l'Op-Amp visibile nella Fig. 6a, bensì un altro amplificatore! L'Op-Amp visibile nella Fig. 6a è già contenuto dentro il rettangolo denominato DAC n-bit.

Il nostro nuovo Op-Amp serve a far capire al controller in che modo deve scrivere uno a uno tutti i bit. Il suo funzionamento non è in regione d'alto guadagno, bensì lavora tra la saturazione e l'interdizione.

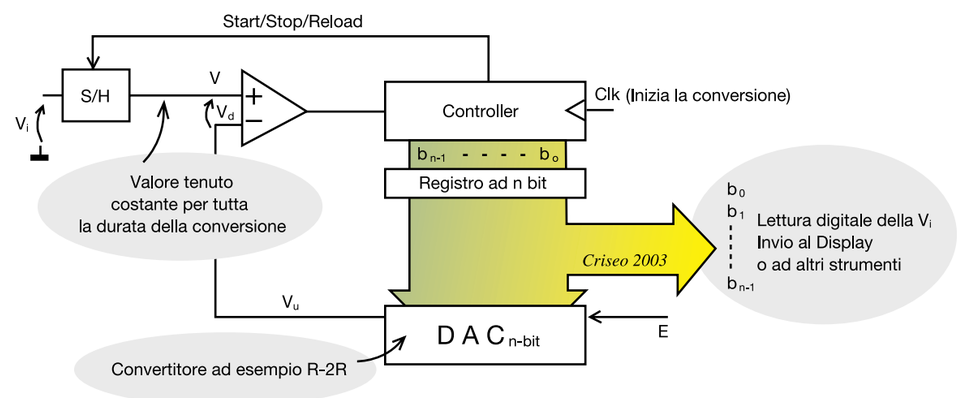

Fig. 8 - Schema principale di un convertitore ad approssimazioni successive

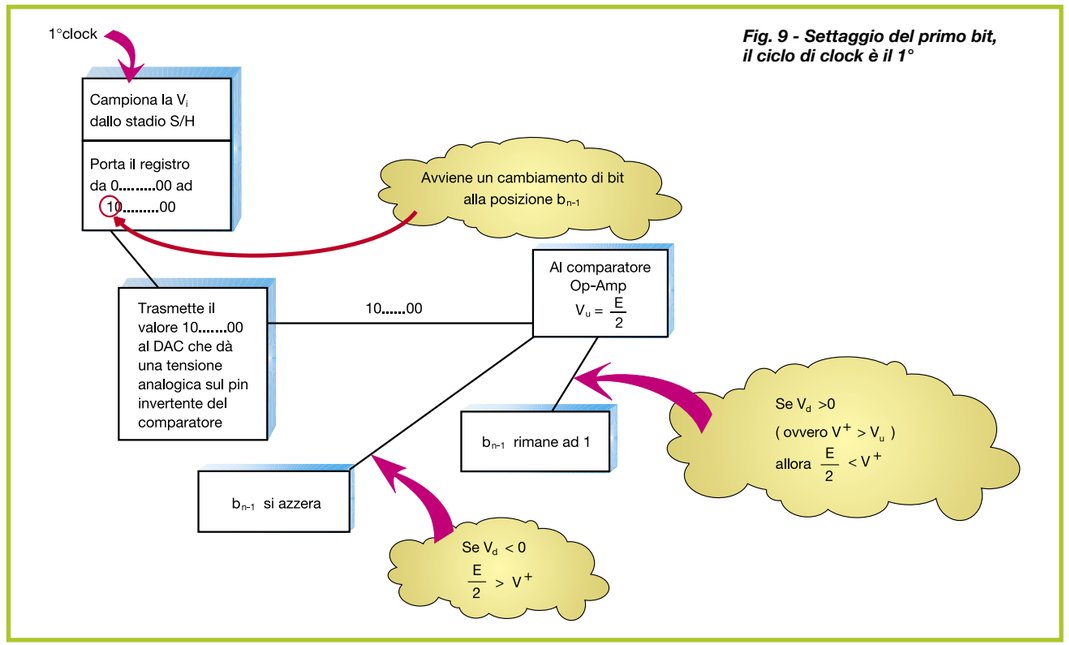

Fig. 9 - Settaggio del primo bit, il ciclo di clock è il 1°

Se la tensione al pin Non Invertente (V^+) sarà maggiore della tensione al pin Invertente (V^-), l'Op-Amp darà un valore alto in uscita; viceversa, quando la tensione fornita dallo stadio S/H sarà minore della (V^-) la tensione d'uscita dell'Op-Amp sarà bassa.

Lo scopo di questo funzionamento è quello di far capire al controller che, quando la tensione d'uscita dell'Op-Amp sarà alta deve settare a 1 il bit relativo al ciclo di clock in quell'istante; se invece l'uscita dell'Op-Amp sarà bassa, il controller deve settare a 0 il bit corrispondente al clock relativo.

Facciamo un esempio: ammettiamo di avere un DAC a 8 bit di risoluzione, ammettiamo che il controller abbia già settato i primi tre bit e che quindi siamo arrivati al 4° clock (4° ciclo macchina). Se i primi tre bit sono stati settati a 101, la parola digitale al 4° clock sarà momentaneamente 1 0 1 **1** 0 0 0 0 (il bit in rosso è quello da settare in questo istante di clock).

Il controller deve settare la 4a cifra e deve capire se tale bit (si contino i bit a partire da sinistra) può essere lasciato così come si trova (a livello 1), oppure deve essere settato a 0.

Per poter capire cosa fare, interviene l'informazione data dall'Op-Amp; la sua uscita può essere alta o bassa (perché abbiamo detto che lavora fra la saturazione e l'interdizione). Se l'uscita è alta allora il quarto bit settato a uno darà la parola all'ingresso del registro 1 0 1 **1** 0 0 0 0; se invece l'uscita dell'operazionale sarà bassa, allora avremo 1 0 1 **0** 0 0 0 0, ovvero il controller riporterà a 0 il 4° bit.

Lo stesso ragionamento viene effettuato al clock successivo e, siccome saremo giunti al 5° clock, il controller setterà la quinta cifra digitale (si contino i bit sempre cominciando da sinistra).

Vediamo meglio come avviene la scrittura digitale. Guardiamo con attenzione la **Fig. 9**: ipotizziamo che arrivi una tensione Vi in ingresso allo stadio S/H, il controller dà il comando di stop per la lettura e il circuito S/H campiona la tensione in ingresso.

Il controller inizializza la parola digitale portando tutti i bit a zero, quindi nel nostro caso avremmo 0 0 0 0 0 0 0 0.

Subito dopo il controller invia il comando di start al circuito S/H che inizia subito a campionare la V_i presente in ingresso.

Il controller porta immediatamente il bit di maggior peso a 1 e, provvisoriamente, la parola all'ingresso del registro sarà **1** 0 0 0 0 0 0 0.

La parola così composta viene inviata al nostro DAC R-2R che, funzionando come spiegato in precedenza, genera una tensione V_u in uscita corrispondente alla parola **1** 0 0 0 0 0 0 0.

La tensione V_u, sarà pari a

$$V_u = \frac{E}{2}$$

Questa tensione è comparata dall'Op-Amp che la mette a confronto con la tensione data dall'S/H.

A questo punto, come visibile in Fig. 9, possono verificarsi due cose: se la tensione differenziale V_d è positiva (ovvero la tensione trasmessa dall'S/H è maggiore della V_u) allora il primo bit rimane a 1, così com'è stato impostato precedentemente dal controller.

Se invece la tensione è negativa (la V_u è più grande della tensione dell'S/H), allora il bit viene cambiato e riportato a 0.

Successivamente arriverà il secondo clock; quando questo si verifica, il controller porterà immediatamente a 1 il secondo bit (vedi **Fig. 10**), mentre il primo è lasciato sul valore stabilito dal ciclo precedente (quindi avremo x **1** 0 0 0 0 0 0 dove il valore x indica il livello logico generico deciso al primo ciclo di clock).

La parola così composta viene inviata al DAC R-2R che genera una tensione V_u corrispondente.

La tensione V_u può assumere due valori perché al primo clock potevamo avere due parole possibili, ovvero 0 0 0 0 0 0 0 0, oppure 1 0 0 0 0 0 0 0.

Se siamo nel primo caso, la V_u sarà:

$$V_u = \frac{E}{4}$$

mentre nel secondo caso la V_u sarà:

$$V_u = \frac{3}{4} E$$

perché la parola è divenuta 1 **1** 0 0 0 0 0 0 (vedi sempre Fig. 10). Questa tensione V_u è comparata con l'Op-Amp, come visto in precedenza, se la tensione differenziale V_d è positiva, il bit rimane a 1 e quindi avremo 1 10 0 0 0 0 0; in caso contrario avremo 1 0 0 0 0 0 0 0, sempre naturalmente nel caso in cui la V_u sia pari a:

$$V_u = \frac{3}{4} E$$

nell'altro caso si veda la parte destra della Fig. 10. Continuando con gli stessi ragionamenti, i cicli di clock continuano e, alla fine, si arriverà a settare l'ultimo bit B_0.

Appena verrà settato B_0, il circuito S/H riceverà un comando di stop e, successivamente, di nuova lettura, mentre, nel frattempo, la parola digitale sarà inviata al circuito di visualizzazione.

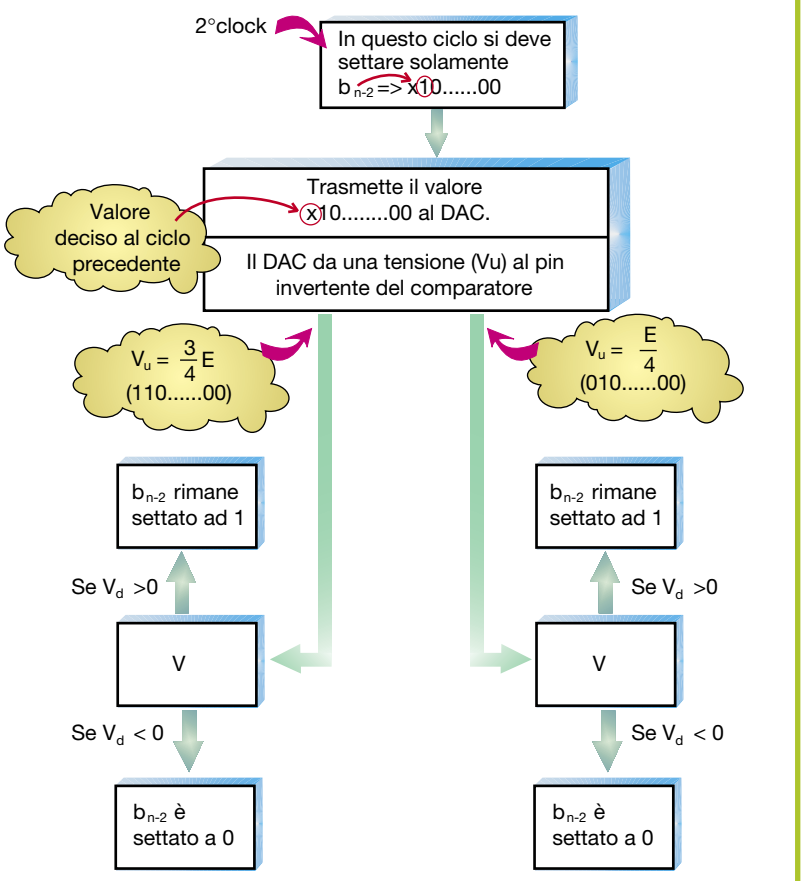

Fig. 10 - Settaggio del secondo bit, il ciclo di clock è il 2°

Trasformazione delle tensioni d'ingresso

La **Fig. 11** mostra cosa succede alle tensioni analogiche in gioco durante un campionamento. Per semplicità facciamo un esempio con un DAC a 4 bit, quindi serviranno solamente 4 cicli di clock.

Clk	V_i	V_u	V_d	b_3 b_2 b_1 b_0	valore letto
1°	13.3V	$\frac{E}{2}$ = 8V	> 0	1 0 0 0	8V parziale
2°	13.3V	8 + $\frac{E}{4}$ = 12V	> 0	1 1 0 0 ($\frac{V_{ref}}{2}$ $\frac{V_{ref}}{4}$ $\frac{V_{ref}}{8}$ $\frac{V_{ref}}{16}$)	12V parziale
3°	13.3V	12 + $\frac{E}{8}$ = 14V	< 0	1 1 0 0	12V parziale
4°	13.3V	12 + $\frac{E}{16}$ = 13V	> 0	1 1 0 1	13V finale

Fig. 11 - Conversione digitale analogica: esempio numerico con una risoluzione del DAC R-2R pari a 4 bit

Ammettiamo di leggere in ingresso una tensione di 13,3 V, al 1° clock la V_u sarà come indicato in figura, quindi la V_d sarà positiva (ovvero maggiore di zero). I quattro bit rimarranno settati come raffigurato e il valore letto provvisoriamente sarà 8 V.

Al secondo clock la V_i è tenuta costante in ingresso grazie all'S/H, quindi sarà sempre 13,3 V, mentre la V_u in uscita del DAC R-2R sarà data dalla somma della tensione letta precedentemente, più la nuova variazione data dal secondo bit b_2.

La tensione d'uscita avrà un valore provvisorio di 12 V.

Al terzo ciclo di clock il valore provvisorio viene sommato al successivo incremento dato dal DAC, quindi avremo una tensione provvisoria di 14 V (contro i 13,3 V che realmente dobbiamo leggere).

Il controller si accorge che l'Op-Amp si porta a zero (livello basso) perché la tensione differenziale diviene minore di zero (negativa) e il terzo bit viene riportato a 0 facendo rimanere in uscita la tensione letta al ciclo precedente (ovvero 12 V).

Al 4° clock i 12 V sono sommati all'incremento del DAC, ovvero sono sommati con la tensione:

$$\frac{E}{16}$$

la tensione V_u sarà quindi pari a 13 V e, conseguentemente, il quarto bit sarà lasciato a 1.

Con quest'ultimo clock la lettura digitale è ultimata e il convertitore dà in uscita una tensione pari a 13 V anziché dei 13,3 V realmente presenti in ingresso.

Per una migliore precisione nella lettura della V_i basterà aumentare il numero di bit; in questo modo possono essere letti e scritti in modo digitale anche i valori di tensione dopo la virgola.

La precisione è tanto maggiore quanto più elevato è il numero di bit, infatti l'errore di lettura, che viene chiamato errore di quantizzazione, è tanto minore quanto maggiore è il numero di bit. □